

Layout 注意问题

一：ESD 器件

由于 ESD 器件选择和摆放位置同具体的产品相关，下面是一些通用规则：

1. 让元器件尽量远离板边。
2. 敏感线（Reset, PBINT）走板内层不要太靠近板边；RTC 部分电路不要靠近板边。
3. 可能的话，PCB 四周保留一圈露铜的地线。
4. ESD 器件接地良好，直接（通过 VIA）连接到地平面。
5. 受保护的信号线保证先通过 ESD 器件，路径尽量短。

二：天线

13MHz 泄漏，会导致其谐波所在的 Channel: Chan5, Chan70, Chan521、586、651、716、781、846 等灵敏度明显下降；13MHz 相关线需要充分屏蔽。

一般 FPC 和 LCDM 离天线较近，容易产生干扰，对 FPC 上的线需要采取滤波（RC 滤波）措施和屏蔽 FPC，并可靠接地。

靠近天线部分的板上线（不管什么类型）尽量要走到内层或采取一定的屏蔽措施，来降低其辐射。（板内的其他信号可能耦合到走在表层的信号线上，产生辐射干扰。）

三. LCD

注意 FPC 连接器的信号定义：音频信号线最好两边有地线保护；音频信号线与电平变换频繁的信号线要有足够间距；

FPC 上的时钟信号及其他电平变换频繁的信号要有地线保护减少 EMI 影响；

LCD 的数据线格式是否和 BB 芯片匹配？例如 i80 或 M68 在时序上要求不一致等问题。

设计中对 LCM 上的 JPEG IC 时钟信号的频率，幅值要满足需求。如果时钟幅度不够可能导致 JPEG 不工作或不正常；注意 Camera 的输入时钟对 Preview 的影响，通常较高的 Preview 刷新帧数要求时钟频率高。

布局上，升压电路远离天线；音频器件和音频走线；给 Camera 供电的 LDO 靠近 Camera 放置；主板上 Hall 器件的位置要恰当，不能对应上盖 LCD 屏的位置，否则上盖的磁铁不能正对着 Hall 器件。

四. 音频设计 PCB 布局

音频器件远离天线、RF、数字部分，防止天线辐射对音频器件（音频功放等）的干扰；如果靠的很近，应该考虑使用屏蔽罩。

所有 audio 信号在进入芯片（SC6600B，音频功放等）的地方应该加滤波电路，防止天线辐射通过音频信号线进入到芯片。

差分电路布局时应该做到对称；应该考虑电路信号的走向，并且要考虑到布线的顺畅。

音频器件周围尽量不放置别的器件，从布局上防止其他电路对 Audio 电路的影响。

布局时应该考虑安装，防止整机安装以后，音频器件可能受到的异常干扰，如 cable，LCD，机壳等。

MIC 和耳机信号的滤波电容应尽量靠近相应的接口。为了减小噪声的引入，AVDDVB，AVDDVBO，AVDDAUX，AVDDBB，VBRER1 的滤波电容离 PIN 要尽可能的近。基带芯片的 PIN AVDD36 滤波电容 33UF 要离 PIN AVDD36 尽可能的近。音频器件应该远离供给射频 PA 的 VBAT 电源路线，最好其和 PA 分别处于板的两边，间隔比较大。

布局时应该考虑避开电流的主要回流路径。

音频部分 PCB 布线

差分音频信号线采用差分的走线规则。尽量作到平行，等长同层走线。注意音频信号线与其他信号的隔离（通常用地隔离）。

保证所有 audio 信号经过滤波以后进入到芯片之前不能受到任何天线辐射的干扰。

尽量避免其它信号（power,digital, analog,RF 等）对与音频信号的干扰。禁止出现其它信号与音频信号平行走线，避免交叉。尤其需要注意那些在整机安装完成以后可能会受到 RF 强烈辐射的信号。

滤波电路的输入输出级在布线时注意相互隔离，不能有耦合，影响滤波效果。Vbias 信号受到干扰，会严重引起上行噪音。在布线时应该防止其受到干扰。电源信号采用星型走线，到 PA 的电源线应该是单独一根走线，并且短、粗；保证 PA 到电源地之间的地回路阻抗足够小。避免 PA 工作时在 VBAT 上产生的 217HZ 跌落幅度过大。

上行、下行音频电路和走线尽量与其它电路和走线隔离，特别需要注意避开数字和高频电路。

模拟地尽量形成块状，能起到较好的干扰屏蔽和信号耦合效果。

基带芯片音频部分电源 AVDD36，AVDDVB，AVDDVBO，VBREF1 的走线要尽量短、足够的宽。

微过孔的种类

电路板上不同性质的电路必须分隔，但是又要在不产生电磁干扰的最佳情况下连接，这就需要用到微过孔(microvia)。通常微过孔直径为 0.05mm 至 0.20mm，这些过孔一般分为三类，即盲孔(blind via)、埋孔(bury via)和通孔(through via)。盲孔位于印刷线路板的顶层和底层表面，具有一定深度，用于表层线路和下面的内层线路的连接，孔的深度通常不超过一定的比率(孔径)。埋孔是指位于印刷线路板内层的连接孔，它不会延伸到线路板的表面。上述两类孔都位于线路板的内层，层压前利用通孔成型制程完成，在过孔形成过程中可能还会重叠做好几个内层。第三种称为通孔，这种孔穿过整个线路板，可用于实现内部互连或作为组件的黏着定位孔。

采用分区技巧

在设计 RF 电路板时,应尽可能把高功率 RF 放大器(HPA)和低噪声放大器(LNA)隔离开来。就是让高功率 RF 发射电路远离低功率收电路。如果 PCB 板上有很多空间,那么可以很容易地做到这一点。但通常零组件很多时,PCB 空间就会变的很小,因此这是很难达到的。可以把它们放在 PCB 板的两面,或者让它们交替工作,而不是同时工作。高功率电路有时还可包括 RF 缓冲器(buffer)和压控振荡器(VCO)。设计分区可以分成实体分区(physical partitioning)和电气分区(Electrical partitioning)。实体分区主要涉及零组件布局、方位和屏蔽等问题;电气分区可以继续分成电源分配、RF 走线、敏感电路和信号、接地等分区。

实体分区

零组件布局是实现一个优异 RF 设计的关键,最有效的技术是首先固定位于 RF 路径上的零组件,并调整其方位,使 RF 路径的长度减到最小。并使 RF 输入远离 RF 输出,并尽可能远离高功率电路和低功率电路。最有效的电路板堆栈方法是将主接地安排在表层下的第二层,并尽可能将 RF 线走在表层上。将 RF 路径上的过孔尺寸减到最小不仅可以减少路径电感,而且还可以减少主接地上的虚焊点,并可减少 RF 能量泄漏到层叠板内其它区域的机会。在实体空间上,像多级放大器这样的线性电路通常足以将多个 RF 区之间相互隔离开来,但是双工器、混频器和中频放大器总是有多个 RF/IF 信号相互干扰,因此必须小心地将这一影响减到最小。RF 与 IF 走线应尽可能走十字交叉,并尽可能在它们之间隔一块接地面积。正确的 RF 路径对整块 PCB 板的性能而言非常重要,这也就是为什么零组件布局通常在移动电话 PCB 板设计中占大部份时间的原因。

在移动电话 PCB 板上,通常可以将低噪声放大器电路放在 PCB 板的某一面,而高功率放大器放在另一面,并最终藉由双工器在同一面上将它们连接到 RF 天线的一端和基频处理器的另一端。这需要一些技巧来确保 RF 能量不会藉由过孔,从板的一面传递到另一面,常用的技术是在两面都使用盲孔。可以藉由将盲孔安排在 PCB 板两面都不受 RF 干扰的区域,来将过孔的不利影响减到最小。

金属屏蔽罩

有时,不太可能在多个电路区块之间保留足够的区隔,在这种情况下就必须考虑采用金属屏蔽罩将射频能量屏蔽在 RF 区域内,但金属屏蔽罩也有副作用,例如:制造成本和装配成本都很高。

外形不规则的金属屏蔽罩在制造时很难保证高精密度,长方形或正方形金属屏蔽罩又使零组件布局受到一些限制;金属屏蔽罩不利于零组件更换和故障移位;

由于金属屏蔽罩必须焊在接地面上,而且必须与零组件保持一个适当的距离,因此需要占用宝贵的 PCB 板空间。

尽可能保证金属屏蔽罩的完整非常重要,所以进入金属屏蔽罩的数字信号线应该尽可能走内层,而且最好将信号线路层的下一层设为接地层。RF 信号线可以从金属屏蔽罩底部的小缺口和接地缺口处的布线层走线出去,不过缺口处周围

要尽可能被广大的接地面积包围，不同信号层上的接地可藉由多个过孔连在一起。尽管有以上的缺点，但是金属屏蔽罩仍然非常有效，而且常常是隔离关键电路的唯一解决方案。

电源去耦电路

此外，恰当而有效的芯片电源去耦(decouple)电路也非常重要。许多整合了线性线路的 RF 芯片对电源的噪音非常敏感，通常每个芯片都需要采用高达四个电容和一个隔离电感来滤除全部的电源噪音。(图一)

《图一 芯片电源去耦电路》

最小电容值通常取决于电容本身的谐振频率和接脚电感，C4 的值就是据此选择的。C3 和 C2 的值由于其自身接脚电感的关系而相对比较大，从而 RF 去耦效果要差一些，不过它们较适合于滤除较低频率的噪音信号。RF 去耦则是由电感 L1 完成的，它使 RF 信号无法从电源线耦合到芯片中。因为所有的走线都是一条潜在的既可接收也可发射 RF 信号的天线，所以，将射频信号与关键线路、零组件隔离是必须的。

这些去耦组件的实体位置通常也很关键。这几个重要组件的布局原则是：C4 要尽可能靠近 IC 接脚并接地，C3 必须最靠近 C4，C2 必须最靠近 C3，而且 IC 接脚与 C4 的连接走线要尽可能短，这几个组件的接地端(尤其是 C4)通常应当藉由板面下第一个接地层与芯片的接地脚相连。将组件与接地层相连的过孔应该尽可能靠近 PCB 板上的组件焊盘，最好是使用打在焊盘上的盲孔将连接线电感减到最小，电感 L1 应该靠近 C1。

一个集成电路或放大器常常具有一个开集极(open collector)输出，因此需要一个上拉电感(pullup inductor)来提供一个高阻抗 RF 负载和一个低阻抗直流电源，同样的原则也适用于对这一电感的电源端进行去耦。有些芯片需要多个电源才能工作，因此可能需要两到三套电容和电感来分别对它们进行去耦处理，如果该芯片周围没有足够的空间，那么去耦效果可能不佳。

尤其需要特别注意的是：电感极少平行靠在一起，因为这将形成一个空芯变压器，并相互感应产生干扰信号，因此它们之间的距离至少要相当于其中之一的高度，或者成直角排列以使其互感减到最小。

电气分区

电气分区原则上与实体分区相同，但还包含一些其它因素。现代行动电话的某些部份采用不同工作电压，并借助软件对其进行控制，以延长电池工作寿命。这意味着行动电话需要运行多种电源，而这产生更多的隔离问题。电源通常由连接线(connector)引入，并立即进行去耦处理以滤除任何来自电路板外部的噪音，然后经过一组开关或稳压器，之后，进行电源分配。

在行动电话里，大多数电路的直流电流都相当小，因此走线宽度通常不是问题，不过，必须为高功率放大器的电源单独设计出一条尽可能宽的大电流线路，以使发射时的压降 (voltage drop)能减到最低。为了避免太多电流损耗，需要利

用多个过孔将电流从某一层传递到另一层。此外，如果不能在高功率放大器的电源接脚端对它进行充分的去耦，那么高功率噪音将会辐射到整块电路板上，并带来各种各样的问题。高功率放大器的接地相当重要，并经常需要为其设计一个金属屏蔽罩。

RF 输出必须远离 RF 输入

在大多数情况下，必须做到 RF 输出远离 RF 输入。这原则也适用于放大器、缓冲器和滤波器。在最坏的情况下，如果放大器和缓冲器的输出以适当的相位和振幅反馈到它们的输入端，那么它们就有可能产生自激振荡。它们可能会变得不稳定，并将噪音和互调相乘信号(intermodulation products)添加到 RF 信号上。如果射频信号线从滤波器的输入端绕回输出端，这可能会严重损害滤波器的带通特性。为了使输入和输出得到良好的隔离，首先在滤波器周围必须是一块主接地面积，其次滤波器下层区域也必须是一块接地面积，并且此接地面积必须与围绕滤波器的主接地连接起来。把需要穿过滤波器的信号线尽可能远离滤波器接脚也是个办法。此外，整块电路板上各个地方的接地都要十分小心，否则可能会在不知不觉中引入一条不希望发生的耦合信道。(图二)详细说明了这一接地办法。有时可以选择走单端(single-ended)或平衡的 RF 信号线(balanced RF traces)，有关串音(crosstalk)和 EMC/EMI 的原则在这里同样适用。平衡 RF 信号线如果走线正确的话，可以减少噪音和串音，但是它们的阻抗通常比较高。而且为了得到一个阻抗匹配的信号源、走线和负载，需要保持一个合理的线宽，这在实际布线时可能会有困难。

《图二 滤波器四周被接地面（绿色区域）包围》

缓冲器

缓冲器可以用来提高隔离效果，因为它可把同一个信号分为两个部份，并用于驱动不同的电路。尤其是本地振荡器可能需要缓冲器来驱动多个混频器。当混频器在 RF 频率处到达共模隔离(common mode isolation)状态时，它将无法正常工作。缓冲器可以很好地隔离不同频率处的阻抗变化，从而电路之间不会相互干扰。缓冲器对设计的帮助很大，它们可以紧跟在需要被驱动电路的后面，从而使高功率输出走线非常短，由于缓冲器的输入信号电平比较低，因此它们不易对板上的其它电路造成干扰。

压控振荡器

压控振荡器(VCO)可将变化的电压转换为变化的频率，这一特性被用于高速频道切换，但它们同样也将控制电压上的微量噪音转换为微小的频率变化，而这就给 RF 信号增加了噪音。总之，在压控振荡器处理过以后，再也没有办法从 RF 输出信号中将噪音去掉。困难在于 VCO 控制线(control line)的期望频宽范围可能从 DC 到 2MHz，而藉由滤波器来去掉这么宽的频带噪音几乎是不可能的；其次，VCO 控制线通常是一个控制频率的反馈回路的一部份，它在很多地方都有可能引

入噪音，因此必须非常小心处理 VCO 控制线。

谐振电路

谐振电路(tank circuit)用于发射机和接收机，它与 VCO 有关，但也有它自己的特点。简单地说，谐振电路是由一连串具有电感电容的二极管并联而成的谐振电路，它有助于设定 VCO 工作频率和将语音或数据调变到 RF 载波上。

所有 VCO 的设计原则同样适用于谐振电路。由于谐振电路含有数量相当多的零组件、占据面积大、通常运行在一个很高的 RF 频率下，因此谐振电路通常对噪音非常敏感。信号通常排列在芯片的相邻接脚上，但这些信号接脚又需要与较大的电感和电容配合才能工作，这反而需要将这些电感和电容的位置尽量靠近信号接脚，并连回到一个对噪音很敏感的控制环路上，但是又要尽量避免噪音的干扰。要做到这点是不容易的。

自动增益控制放大器

自动增益控制(AGC)放大器同样是一个容易出问题的地方，不管是发射还是接收电路都会有 AGC 放大器。AGC 放大器通常能有效地滤掉噪音，不过由于行动电话具备处理发射和接收信号强度快速变化的能力，因此要求 AGC 电路有一个相当大的频宽，这就使 AGC 放大器很容易引入噪音。

设计 AGC 线路必须遵守模拟电路的设计原则，亦即使用很短的输入接脚和很短的反馈路径，而且这两处都必须远离 RF、IF 或高速数字信号线路。同样，良好的接地也必不可少，而且芯片的电源必须得到良好的去耦。如果必须在输入或输出端设计一条长的走线，那么最好是选择在输出端实现它，因为，通常输出端的阻抗要比输入端低得多，而且也不容易引入噪音。通常信号电平越高，就越容易将噪音引入到其它电路中。

接地

要确保 RF 走线下层的接地是实心的，而且所有的零组件都要牢固地连接到主接地上，并与其它可能带来噪音的走线隔离开来。此外，要确保 VCO 的电源已得到充分去耦，由于 VCO 的 RF 输出往往是一个相当高的电平，VCO 输出信号很容易干扰其它电路，因此必须对 VCO 加以特别注意。事实上，VCO 往往放在 RF 区域的末端，有时它还需要一个金属屏蔽罩。

在所有 PCB 设计中，尽可能将数字电路远离模拟电路是一个大原则，它同样也适用于 RF PCB 设计。公共模拟接地和用于屏蔽和隔开信号线的接地通常是同等重要的。同样应使 RF 线路远离模拟线路和一些很关键的数字信号，所有的 RF 走线、焊盘和组件周围应尽可能是接地铜皮，并尽可能与主接地相连。微型过孔(microvia)构造板在 RF 线路开发阶段很有用，它毋须花费任何开销就可随意使用很多过孔，否则在普通 PCB 板上钻孔将会增加开发成本，这在大批量产时是不经济的。将一个实心的整块接地面直接放在表面下第一层时，隔离效果最好。将接地面分成几块来隔离模拟、数字和 RF 线路时，其效果并不好，因为最终总是有一些高速信号线要穿过这些分开的接地面，这不是很好的设计。

4.1 Normal Design guide check

在 PCB layout 的过程中需要注意以下注意事项:

4.1.1 DCXO Crystal PCB layout

DCXO 是非常敏感的器件, 容易受外界干扰, 尤其是时钟信号干扰。从 4210 的封装来看, Xtal1、Xtal2 距离 SPI 总线的 SCLK 非常近, 更需要关注。否则非常容易导致相位误差恶化、灵敏度不佳等。

4.1.2 Matching Network

LNA 的输入 layout 至关重要, layout 的优劣将直接影响灵敏度、AM suppression 以及 blocking 等性能。

在 LNA 和 sawfilter 中间的 matching network 的设计布局将直接决定最终的设计能否成功。

1,高 Band 的性能更容易受到干扰, 所以 DCS/PCS band 的 matching network 电路一定要对称;

2,器件之间的布线一定要尽可能的短;

3,差分走线的环路面积要尽可能的小;

4,sawfilter 的接地一定要就近多打通孔, 从而可以有效的提高 sawfilter 的带外抑制指标;

5,sawfilter 和 matching network 下面的地需要镂空, 距地平面的距离满足大于 400um 的最小要求;

6,sawfilter 的输入需要注意 50 欧姆阻抗匹配, 需要综合板材、层厚、距离地宽度等因素设计 50 欧姆地走线。

4.1.3 RF Output

RF 输出到 PA 输入部分需要综合板材、层厚、距离地的宽度等因素设计 50 欧姆走线。

1,RF 输出本身还有 DC 成分, 一般要在 PA 输入前加隔直电容;

2,为了匹配 PA 的输入, 还需要加上 PI 衰减网络;

3,RFOUT 和 PA 之间的走线要直, 距离要短, 走线需要避开时钟、基带接口等, 以避免互相干扰;

4,注意多打通孔以避免 RFOUT 和周围空间的耦合。

4.1.4 Power Supply

为保证电源干净，电源的输入 pin 均需要就近接去耦电容；电源线不要过细,按照 1A/mm 的走线规则设计。VPA 走线 50mil，Vrf 走线 10mil。

4.1.5 BB I/Q

BBIQ 信号的质量将会影响到 Modulation Spectrum 等 RF 性能，因此在 layout 的过程中需要注意差分走线，避免同 CLK、RFOUT 等信号平行走线，避免共模干扰。

4.2 EMI 走线注意点

SC6600M 提供 2 个时钟，给 SDRam 的时钟（软件设置为 72MHz），给 sensor 的时钟（软件设置为 72MHz），它们都是由 PLL 分频得到，PLL 的频率为 144MHz，在 PCB 布线时，要尤其注意这些 CLK 的走线，尽量抑制这些线对外部的辐射，走

走线时遵循以下几个原则。

1,给 sensor 的 clk 上下两层要有地平面使之与接收通路的走线相隔离，该线不能正走在接收通路走线的正下方，该线避免使用 2-7 的孔；

2, clkmcu 的走线要上下左右有地使之与其他走线相隔离，该线避免打 2-7 孔，该线不能走在键盘 pad 下；

3,在 SC6600M 的 clkmcu pin 的周围的走线要同样作好隔离，这些线尽量避免走到 top 或 bottom 层；

4,进入 EMI Filter 的线最好不要裸露在 top 或 bottom 层。

手机 PCB Layout 与布局经验总结

1.sirf reference 典型的四，六层板，标准 FR4 材质

2.所有的元件尽可能的表贴

3.连接器的放置时，应尽量避免将噪音引入 RF 电路，尽量使用小的连接器，适当的接地

4.所有的 RF 器件应放置紧密，使连线最短和交叉最小（关键）

5.所有的 pin 有应严格按照 reference schematic.所有 IC 电源脚应当有 0.01uf 的退藕电容，尽可能的离管脚近，而且必须要经过孔到地和电源层

6.预留屏蔽罩空间给 RF 电路和基带部分，屏蔽罩应当连续的在板子上连接，而且应每隔 100mil（最小）过孔到地层

7.RF 部分电路与数字部分应在板子上分开

8.RF 的地应直接的接到地层，用专门的过孔和最短的线

9.TCXO 晶振和晶振相关电路应与高 slew-rate 数字信号严格的隔离

10.开发板要加适当的测试点

11.使用相同的器件，针对开发过程中的版本

12.使 RTC 部分同数字，RF 电路部分隔离，RTC 电路要尽可能放在地层之上走线

在数字和模拟并存的系统中，有 2 种处理方法，一个是数字地和模拟地分开，比如在地层，数字地是独立地一块，模拟地独立一块，单点用铜皮或 FB 磁珠连接，而电源不分开；另一种是模拟电源和数字电源分开用 FB 连接，而地是统一地地。这两种方法效果是否一样？应该说从原理上讲是一样的。因为电源和地对高频信号是等效的。区分模拟和数字部分的目的是为了抗干扰，主要是数字电路对模拟电路的干扰。但是，分割可能造成信号回流路径不完整，影响数字信号的信号质量，影响系统 EMC 质量。因此，无论分割哪个平面，要看这样作，信号回流路径是否被增大，回流信号对正常工作信号干扰有多大。现在也有一些混合设计，不分电源和地，在布局时，按照数字部分、模拟部分分开布局布线，避免出现跨区信号。www.eda365.com

何谓差分布线？差分信号，有些也称差动信号，用两根完全一样，极性相反的信号传输一路数据，依靠两根信号电平差进行判决。为了保证两根信号完全一致，在布线时要保持并行，线宽、线间距保持不变。

高速数字芯片在其逻辑门跳变时，瞬间的电流变化量很大，上升沿或下降沿时间越小，变化量就越大，这个变化会引起对应的电源地波动，从而产生了噪声。

大家好，相信很多人接触过或者了解过硬件工程师这个职位，也想成为硬件工程师。特别是对那些 layout 工程师，硬件测试工程师而言，他们更想转型为硬件工程师。但是由于缺乏相关有经验的人士指点，因此无从下手。

在这里，我以 9 年的硬件设计经验告诉大家，成为硬件工程师之前要具备什么精神或者条件？硬件工程师应该具备哪些能力？硬件设计流程都有哪些？硬件设计需要注意什么？硬件工程师在工作中会遇到什么困难和如何解决困难？

首先，成为硬件工程师之前要具备什么精神或者条件呢？

你必须有坚持不懈的学习精神，按照这里提示的相关东西进行知识的补充；你必须制定一个学习计划监控表，在较合理的时间内把所有知识学习好；你必须有百度精神，遇到不懂的概念，不懂的知识，要积极百度，很多时候很多

芯片你之前是没有见过的，这个时候你就要查阅相关资料进行了解。
你必须积极加入各种论坛，qq 群进行经验吸收；
另外，如果有人指导一下你，那就比较好入行了。

第二,硬件工程师应该具备哪些能力呢？

你必须具备电子技术基础知识（比如模拟电路，数字电路，电路原理，高频电路等等知识），有了这些知识你才能分析设计原理图，才能知道每个元件的作用。这个就需要学习相关书籍或者相关视频教程了；

你必须熟悉常见元件，接口，电路模块等等，还要知道电路的使用条件，功率，工作电压，工作电流，工作频率等等；

你必须会使用原理图设计软件。要会用软件设计原理图。画好原理图之后，你要知道该从哪方面检查原理图是否有误；

你必须具备原理图分析能力，在实际工作中，你能分析每一个电路模块的原理和所具备的功能，你要基本清楚每个 IO,每个元件所起的作用；

你必须具备原理图设计能力。在工作中，你能根据客户需求或者市场需求进行电路的设计，实现需要的功能。此设计能力当然也包括芯片选型等等能力。随着芯片集成度的提高，这方面的要求相对变弱了。但是，基本的硬件设计能力还是必须具备的，比如驱动电路的设计等等；

你必须具备常见仪器和工具的使用，比如示波器，万用表，烙铁等等；

你必须知道电路测试中需要测试什么内容；

你必须具备解决问题，调试问题的能力，因为一个产品设计出来，开始往往没那么完美，需要硬件工程师进行调试，把错误纠正，把电路优化；

你必须了解整个硬件设计流程，这需要你真实地去把整个硬件流程实践一遍；

你必须知道哪里电流比较大，哪些模块比较敏感，能告诉 layout 工程师哪些网络的走线要粗，哪里布局要特别留意，哪些网络要包地，哪里敏感信号要注意保护等等；

你必须具备读懂芯片资料的能力，能够读懂时序图等等；

你必须具备相关文档输出能力；

如果公司没有 layout 工程师，则你还必须具备 layout 能力；

要进入这个行业，你还必须具备一些面试笔记经验来应付面试笔试；

最好具备相关产品设计经验，很多公司招你就是因为你做过那个产品，有那方面的经验。

第三，硬件设计流程都有哪些呢？

硬件设计流程包括：需求确定、芯片选型、原理图设计、原理图评审、PCB 设计、PCB 评审、样品焊接、测试、调试、相关文档输出、技术支持等等。当然，如果公司有专门的 layout 工程师，那么，你就不需要参与 PCB 设计流程，但是评审流程还是要参与的。硬件工程师要知道这些流程，并按时按质去完成。

第四，硬件设计需要注意什么呢？

电路设计中，要遵守基本的硬件设计规范，比如对于封装有要求的元件，要

设计时进行标注等等；

电路设计中，要注意考虑兼容设计。一个电路的好坏，很大程度就决定你是否考虑周到，是否预留兼容方案。硬件设计流程是一个周期相对较长的流程，如果你设计错了，就要重复新的一个流程，就会浪费不少时间和成本，这些时间对企业来说就是金钱，所以你必须考虑周到，尽量进行一些兼容方面的设计；

电路设计中，你要注意信号的电平兼容，如果考虑不周到，会出现一些电路功能异常，芯片烧坏等等现象；

电路设计中，要尽量使用公司成熟的电路和元件，因为他们经过了验证是可靠的，能缩短设计时间和减少出错机会；

电路设计中，要考虑信号完整性问题；

电路设计中，要考虑结构方面，主要是元件封装的选型要考虑结构上是否有干涉；

电路设计中，要考虑和软件工程师沟通。有些资源的分配软件已经确定了，所以尽量不修改，免得软件要大改，另外有些 IO 属性的使用情况软件工程师比较清楚，和他们沟通后能减少错误；

电路设计中，要注意做好调试记录，方便以后问题的追溯和经验的积累；另外，电路设计中，还要实际需要进行电源隔离，电源滤波，电磁兼容设计，防静电设计，防雷击，防反接，安规等等的考虑。

第五，硬件工程师在工作中会遇到什么困难和如何解决呢？

硬件调试中，经常会遇到问题，比如死机，不稳定，功能不能实现等等。这些问题的解决要具体问题具体分析，也要靠经验的积累了，要充分利用万用表，示波器进行调试。

希望通过这些讲解，能让大家有所收获。虽然内容有点多，不过有电子基础的话还是容易成为硬件工程师的。很多人看了，还是不知道如何进行相关知识的学习，这个时候如果在没工作经验的情况能有机会进入相关职位，那就可以以低工资进入，用时间进行相关知识的学习和经验的积累。实在无机会进入相关职位又自学不理想的可以考虑寻求有经验的人士指导了。